

# TESTING SYSTEM FOR SERIES BIT-STREAM CIRCUIT

Publication number: JP4273081 (A)

Publication date: 1992-09-29

Inventor(s): ROBAATO II MAKOORIFUE; KURISUTOFUAA BII KAIN; JIYON II SHIIFUAAZU \*

Applicant(s): HEWLETT PACKARD CO \*

Classification:

- International: G01R31/317; G01R31/319; G01R31/28; (IPC1-7): G01R31/318; H04L12/26

- European: G01R31/318C1; G01R31/318S1

Application number: JP19910222821 19910903

Priority number(s): US19900581604 19900912

Also published as:

JP3398394 (B2)

EP0475631 (A2)

EP0475631 (A3)

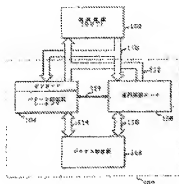
EP0475631 (B1)

US5150048 (A)

more >>

## Abstract of JP 4273081 (A)

PURPOSE: To enable a complex circuit test of a complex combination by a method wherein a serial test card system is connected to a test specimen device, and various signals between the test specimen devices are controlled by a personality module. CONSTITUTION: A substrate tester 100 is used for testing a circuit of a test specimen device 102. A pattern storing sequencer module 104 provides a test function in a circuit required for a test of the device 102 via buses 110, 112. Further, four personality modules are included in a serial test card 106, an input signal is sent to the device 102 via the bus 112, while a response signal from the device 102 is received via the bus 110. Further, the card 106 communicates with a controller 108 via a bus 116. Further, in a device 100, the card 106 communicates mutually with the sequencer 104 via a bus 118. A test by the card 106 is complemented by the sequencer 104 and controller 108.



Data supplied from the **espacenet** database — Worldwide

特開平4-273081

(43) 公開日 平成4年(1992)9月29日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/318				
H 0 4 L 12/26		6912-2G	G 0 1 R 31/28	A
		8732-5K	H 0 4 L 11/12	

審査請求 未請求 請求項の数1 (全 17 頁)

(21) 出願番号	特願平3-222821	(71) 出願人	590000400 ヒューレット・パツカード・カンパニー アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000
(22) 出願日	平成3年(1991)9月3日	(72) 発明者	ロバート・イー・マコーリフ アメリカ合衆国コロラド州80538ラヴランド, エイヴンデール・ドライブ・1633
(31) 優先権主張番号	5 8 1 6 0 4	(72) 発明者	クリストファー・ビー・カイン アメリカ合衆国コロラド州80501ロングモント, ジャドソン・ストリート・2122
(32) 優先日	1990年9月12日	(74) 代理人	弁理士 古谷 肇 (外3名)
(33) 優先権主張国	米国 (US)		

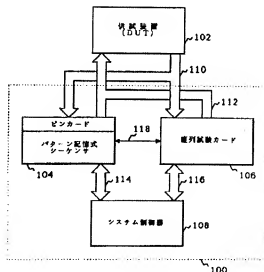
最終頁に続く

## (54) 【発明の名称】 直列ビットストリーム回路の試験システム

## (57) 【要約】

【目的】 複数の直列チャネルを介して供試基板上にインタフェースする直列通信電子回路基板の試験システムを提供する。

【構成】 システムは複数のパーソナリティモジュールを含み、各モジュールは1つのチャネルに直接インタフェース可能である。パーソナリティモジュールは、特定の直列レベルシフト、データコード化/解読、回線終端、及びクロック/フレーミング抽出を実施する。システムは、また、1又はそれ以上の再構成可能なビットプロセッサを含み、ビットプロセッサは構築ブロックをなすように接続されて、パーソナリティモジュールと送受信される直列データ上で低レベル処理を実行する。複数の直列試験シーケンスのうちの1つが再構成ビットプロセッサとデータを送受信して、チャネルとの試験パターンのやり取りを制御するためのユーザプログラム手順を提供し、さらに、システム制御器を介してユーザにインタフェースする。



## 【特許請求の範囲】

【請求項1】直列ビットストリーム回路の試験システムであって：前記システムと前記回路とを接続し、前記回路の直列ビットストリーム信号形式を共通ビットストリーム信号形式に変換するための、パーソナリティモジュール手段と；前記パーソナリティモジュール手段に接続されて、前記共通ビットストリームストリーム形式と変換されたビットストリーム信号形式の間の変換を行うための、再構成ビット処理手段と；前記再構成ビット処理手段に接続されて、前記直列ビットストリーム回路を試験し、前記回路を性格に機能しているものとして識別するか、又は不良なものとして前記回路を拒絶するためのプログラマブル直列試験シーケンス手段と；から成ることを特徴とする、試験システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子試験に関するものであり、とりわけ、回路カード及び素子の試験に関するものである。さらに詳述すると、本発明は、直列遠隔通信回路カード及び素子の試験に関するものである。

## 【0002】

【従来の技術】電子素子をプリント回路基板上にハンダ付けてから、電子素子とプリント回路基板の試験を行うのは、重要である。素子及び回路基板の試験のため、回路内試験、製造欠陥アナライザ、及び、機能試験を含むいくつかの異なるアプローチが開発された。

【0003】回路内試験は、プリント回路基板上の素子を個々に試験し、これらの素子が適正に働いているかを確かめるために用いられてきた技法である。このプロセスでは「ネイルベッド (Nail bed of nails)」テストを用いて個々の各素子にアクセスし、別個に該素子の試験が行われる。こうして、機能していない素子を識別して、その交換を行うことによって、回路基板全体がスクラップにならないようにすることができる。このプロセスは、素子内の回路が既知のものであり、簡単に試験を行うことが可能な単純な素子の場合には、有効な働きをする。供試素子が複雑であったり、あるいは、素子内の回路が未知の場合、回路内試験では、満足なゆく結果を得ることはできない。

【0004】製造欠陥アナライザは、より単純な試験を可能にし、実施にそれと費用がかからない別の種類の試験装置である。該装置は、プリント回路基板の短絡、欠陥のある集積回路、曲がった素子ピン等のような製造故障を突きとめるように設計されている。これらの装置は、短絡や、著しいアナログ故障を見つけることに関してはかなり良好な仕事をすることが、基板のデジタル化試験を試験する場合には不十分である。

【0005】機能試験では、所定の入力信号を加えて、プリント回路基板の出力をモニタし、素子の全てがそろうていて、回路基板上において適正に動作しているかを否

かを判定する手順が用いられている。パターン記憶式機能テストは、供試装置 (DUT: Device Under Test) の入力ピンにデジタル刺激を加え、所定の時間量だけ待つ、DUT出力ピンの状態を調べるものである。初期DUTのほとんどは、離散のSS1理論ゲートで構成されており、単純な組合せによる機能すなわち状態マシン機能を果たすので、このアーキテクチャは、デジタル基板試験の初期要求に十分適合するものであった。供試装置DUTが単純であるため、この試験のアーキテクチャは、DUTにうまく整合した。

【0006】マイクロプロセッサの導入によって、バス構造のアーキテクチャを備えたDUTが普通になった。こうした基板に関する試験の書き込みを容易にしようとして、メモリエミュレーション、バスエミュレーション、及び、マイクロプロセッサエミュレーションといったさまざまな試験の強化が計られてきた。こうした強化のそれぞれの目的は、試験プログラムから、低レベルの固有環境においてDUTを取り扱うという荷重を取り除くことであった。

【0007】現在、DUTは、より高速で、さらに強力なマイクロプロセッサ、多重処理テクノロジー、直列通信チャネル、混合信号機能、及び、アプリケーションに固有の集積回路 (ASIC) といった各種カスタム回路構成を備えている。これらのテクノロジーは、単一シーケンスによるパターン記憶式試験アーキテクチャの能力に無理な負担をかけることになる。すなわち、テストのアーキテクチャは、もはや供試装置のアーキテクチャにうまく整合しない。

【0008】我々は、急増する通信の真只中にある、世界の通信に対する要求に歩調を合わせる試みの中で、ローカルエリアネットワーク (LAN)、広域ネットワーク (WAN)、公共パケットスイッチネットワーク (PPS)、及び、今や、統合サービスディジタルネットワーク (ISDN) が、大規模に実施されている。これらネットワークの設計は、主として、直列通信チャネル、及び、該チャネルを介した情報の送信プロセスを中心に置くものであった。また、デスクトップ、自動車制御システム、及び航空機制御システムといったより特殊化されたタイプの直列通信アプリケーションも存在する。今日の基板テストは、直列通信テクノロジーのさまざまな要素に悩まされている。例えば、遠隔通信における信号は、ただ2つだけの状態だけがなく、時には、3つないし4つの論理状態またはレベルを示す可能性がある。直列ビットストリームは、自己クロック式の場合が多く、ビットストリームからクロックを回復して、データビット境界の測定に利用しなければならない。通信チャネルは、ビットが多重化が可能であり、論理的に互いに連関するビットが、他のチャネルのビットによって時間的に分離される。試験の実施前、各チャネルからのビットを統一のとれた、意味をなす情報の流

れの再アセンブルしなければならない。

【0009】このタイプのシステムにおけるDUTは、単一基板上にいくつかの直列通信チャネルを備えていることが多い。これらのチャネルは、物理的にインタフェースを分離するだけでなく、機能的にも分離し、各チャネルは、DUTで実行される関連プロセスによって制御される。これらのプロセスは、共通のマイクロプロセッサ、独立したマイクロプロセッサ、アルゴリズム状態マシン、または、特殊VLSI部品によって制御することができる。外部ワールドの観点からすると、各チャネルは、独立した自立通信チャネルのように思われる。単一シーケンサによるパターン記憶式テストのアーキテクチャでは、いくつかの独立したチャネルを備え、非同期的に処理が実行されるDUTの試験はかなり困難である。

【0010】基板は、いくつかの同一チャネルが同じ処理を実施するように設計することができる。こうした基板を適時有効に試験するには、全てのチャネルを並列に働かせる必要がある。信号シーケンサのアーキテクチャは、複数の並列同一処理の試験にかなりの困難を伴う。

【0011】例えば、RS/232C、IEEE802.3、イーサネット、ISDN等のような多くの規格が、直列通信において開発された。汎用テストは、これらの規格に關した試験能力を組み込んでいなかったで、これらの規格のそれぞれを扱えるように再プログラミングを施さなければならない。

【0012】

【発明が解決しようとする課題】従って、当該技術においては、それぞれ、異なるプロセスによって制御可能な複数のチャネルを備えた直列カードを試験することができる試験システムに対する要求がある。さらに、全て、並列試験が可能な、複数の同一チャネルを備えた基板を試験することができるテストに対する要求がある。さらに、当該技術において、こうしたシステムに対して、共用される直列通信プロトコルに関する組込み試験能力を付与したいという要求もある。本発明は、当該技術における上記の要求及びその他の要求を満たすものである。

【0013】本発明の目的の1つは、複雑な組合わせの複雑な回路試験するための試験システムを提供することである。

【0014】もう1つの目的は、こうしたシステムに対して、試験毎に使用される可能性の高いハードウェア及びソフトウェア要素を設けることである。

【0015】もう1つの目的は、共用される直列通信プロトコルに関する組込み試験能力を備えたシステムを提供することである。

【0016】本発明のもう1つの目的は、複数のプロセスによって制御可能な複数のチャネルを備えた、多重処理環境試験が可能なシステムを提供することである。

【0017】もう1つの目的は、複数の同一チャネルの試験に簡単に利用できる試験能力を提供することであ

る。

【0018】さらにもう1つの目的は、高ビット伝送速度で直列データの処理を行える複数の再構成可能なプログラムブルモジュールを提供することである。

【0019】

【課題を解決するための手段】本発明の以上の態様及びその他の態様は、4つの物理的直列チャネルを介して、供試装置(DUT)に接続された直列試験カード(STC)システムで実現される。これらのチャネルは、DUTに対する、及び、DUTからの送信及び受信データクロック信号、フレーム信号、及び、制御信号を伝送する。各信号の機能は、直列チャネルの特性によって決まり、STC内に配置されたパーソナリティモジュールによって制御される。4つのチャネルのそれぞれは、やはり、多重化して、追加直列試験チャネルが得られるようにすることができる。

【0020】直列通信の場合、単一の物理チャネルは、1つ以上の論理チャネルで構成されることがよくある。物理チャネルは、また、さまざまな電氣的インタフェース問題を生じる可能性がある。直列通信案の多くは、似たようなものであるが、全て、わずかに異なる回路の終端、公称電圧レベル、及び、他のパラメトリック仕様を備えているのが普通である。STCは、これらの試験に関する問題を3つの基本資源、すなわち、パーソナリティモジュール(PM)、再構成可能なビットプロセッサ(RBP)、及び、直列試験、シーケンサ(STS)によって取り扱う。

【0021】パーソナリティモジュール(PM)は、DUTの物理チャネルに直接インタフェースするために用いられる小形回路である。パーソナリティモジュールは、特定の直列プロトコルに關して必要とされる、レベルシフト、データコード化/解読、回線終端、及び、クロック/フレーミング抽出を実施する。

【0022】再構成可能なビットプロセッサ(RBP)は、直列ビットストリームの「フィルタ」要素である。STCには、2つ以上のRBPが含まれており、RBPは、直列ビットストリームに対する低レベル処理を行うため、ユーザが指定する構築ブロックをなすように、ストリング処理を施すことができる。一般に、PMとSTSの間に、1つ以上のRBPが接続される。RBPは、チャネル分割、すなわち、物理チャネルの複数論理チャネルへの分割といった機能、及び、HDLビットスタッキング、フレーミング、及び、循環冗長検査といったレイヤ1のプロトコル処理を実施する。各RBPは、ゲートアレイのプログラミングに用いられ、試験毎にRBPの機能性を変更することができる内部RAMを含んだ、プログラマブルゲートアレイによって実現する。プログラマブルゲートアレイの構成、従って、機能性は、ゲートアレイの内部RAMに「サーキットウェア」をロードすることによって制御される。このコンセプトによ

5

って、RBPを、簡単に特定のプロトコルに合わせることも可能な、一般的な直列ビットストリーム処理アーキテクチャの一部にすることができ、

【0023】直列試験シーケンサ(STS)によって、ユーザがDUTの論理チャネルと物理チャネルの両方または一方に対して試験パターンを加え、また、それらから試験パターンを受け取るのを制御するための、ユーザプログラマブル手段が得られる。STSを介して、ユーザは、高レベルデータのバッファリングを施されたフレームのプログラマブル制御を行い、パーソナリティモジュール及び再構成可能なビットプロセッサが、直列通信プロトコルでしばしば出くわす単調で退屈な低レベルの処理を取り扱う。複数STSが、単一のSTCで利用できる。また、複数STSは、任意の物理的チャネルアクセスすることができ、物理的チャネル内において複数の論理チャネルに対する同時アクセスを可能にする。

【0024】4つのパーソナリティモジュールが、4つの直列インタフェースを供試装置に接続する。4つのパーソナリティモジュールのそれぞれは、1つ以上のSTSモジュールに接続可能である。各STSモジュールには、4つの再構成可能なビットプロセッサ及び2つの直列試験シーケンサが含まれている。パーソナリティモジュール間における、再構成可能なビットプロセッサを介した、及び、直列試験シーケンサへのデータの流れは、直列試験シーケンサによってプログラム可能である。パーソナリティモジュール、再構成可能なビットプロセッサ、直列試験シーケンサ、及び、フレキシブルな相互接続を組み合わせたことによって、直列ビットストリーム回路にとって極めて強力な試験システムが得られる。

【0025】

【実施例】以下の説明は、現在のところ最良と考えられる本発明の実施態様である。この説明は、限定的な意味に解釈すべきものではなく、単に、本発明の一般的な原理を説明するためのものである。本発明の範囲は、特許請求の範囲を基準にして決定するのが望ましい。

【0026】本発明は、従来の基板試験装置と共に、複雑なデジタル論理回路を備える基板、とりわけ、直列通信回路を備えた基板の試験に用いられる試験システムである。従来の基板試験装置は、汎用コンピュータ、及び、ユーザインタフェースを備えており、一方、基板試験装置内に含まれる本発明は、複雑な直列通信基板の試験を可能にするフレキシブルなアーキテクチャを提供する。このアーキテクチャは、多数の特定の直列ビットストリームフォーマット及びプロトコルの対するインタフェースを行うのに十分な一般性を有しているが、直列通信試験アプリケーションに特有の要件を満たすのに十分な特殊性を有している。

【0027】直列試験カード(STC)と呼ばれる本発明は、4つの物理的な直列チャネルを介して、供試装置(DUT)に接続される。各物理的チャネルは、8つ

6

での論理信号で構成される。これらの信号は、DUTに対する、及びDUTからの、送信データと受信データブロック信号、フレーム信号、及び、制御信号を伝えるものである。8つの信号のそれぞれに関する機能は、直列チャネルのパーソナリティによって決まる。パーソナリティの中には、8つの信号を全て明示的に用いるものもあり、そのサブセットを利用したり、複数の信号を組み合わせて、1つの物理的なラインにするものもある。さらに、複数の直列チャネルを組み合わせて、各チャネル毎に9つ以上の信号が得られるようにすることもできる。チャネルの特性は、STC内に位置するパーソナリティモジュールによって制御される。

【0028】直列通信の場合、単一チャネルは、1つ以上の論理チャネルから構成される場合が多い。例えば、ISDN基本速度Sバスは、2つのBチャネル、Dチャネル、及び、維持チャネルから構成される。ISDN基本速度チャネルのような物理的チャネルの試験は、これらの各論理チャネルの他のチャネルとは別個に扱うことができる場合には、はるかに単純になるのが普通である。これは、特に、HDLCのような高レベルのプロトコルが、論理チャネルの1つで実行されている場合には、また、物理的チャネルは、また、困難な電氣的インタフェース問題も提示する。直列通信の多くは、似たようなものであるが、全て、わずかに異なる回線の終端、公称電圧レベル、及び、他のパラメトリック仕様を備えているのが普通である。STCは、これらの試験に関する問題を3つの基本資源、すなわち、パーソナリティモジュール、再構成可能なビットプロセッサ、及び、直列試験シーケンサによって取り扱う。

【0029】パーソナリティモジュールは、DUTの物理チャネルに直接インタフェースするために用いられる小形回路である。パーソナリティモジュールは、特定の物理プロトコルに関して必要とされる、レバシフト、データコード化/解読、回線の終端、及び、クロック/フレームング抽出または挿入を実施する。物理的に、パーソナリティモジュールは、供試装置の特定の物理的プロトコルをSTC内で用いられる内部プロトコルの間のインタフェースをなすように設計されている。

【0030】再構成可能なビットプロセッサ(RBP)は、直列ビットストリームの「フィルタ」要素である。STCには、2つ以上のRBPが含まれており、RBPは、直列ビットストリームに対する低レベル処理を行うため、構築ブロックをなすように接続することができ、RBPは、チャネル分割、すなわち、物理チャネルの複数論理チャネルへの分割といった機能、及び、HDLCビットスタフing、フレームing、及び、循環冗長検査といった層1プロトコルを実行する。各RBPはユーザが指定したようにストリング処理を施せるように同一のピンアウトを備えている。RBPの機能、すなわち、「フィルタリング作用」は、アプリケーション

7

ン毎に変更する必要がある。各RBPは、ゲートアレイのプログラミングに用いられる内部RAMを備えたプログラマブルゲートアレイによって実現する。プログラマブルゲートアレイの構成、従って、機能性は、ゲートアレイの内部RAMに「サーキットウェア」をロードすることによって制御される。この概念によって、RBPを、簡単に特定のプロトコルに合わせる事が可能な、一般的な直列ビットストリーム処理アーキテクチャの一部にすることができる。

【0031】直列試験シーケンサ(STS)によって、ユーザが、DUTの論理チャネルと物理チャネルの両方または一方に対して試験パターンを加え、また、それらから試験パターンを受け取るのを制御するための手段が得られる。STSを介して、ユーザは、高レベルデータのバッファリングを施されたフレームのプログラム制御を行い、パーソナリティモジュール及び再構成可能なビットプロセスが、直列通信プロトコルの単面で退屈な低レベルの処理を取り扱う。低レベルデータに対するアクセスは、デバックモード及び診断モードにおいても利用できる。単一のSTCで、8つのSTSが利用できる。4つまでSTSが、任意の物理的チャネルにアクセスすることができ、その物理的チャネル内において4つの論理的チャネルに同時にアクセスすることを可能にしている。RBPは、一般に、パーソナリティモジュールとSTSの間に接続される。STCで利用可能なRBPは、16あり、各対をなすSTS毎に4つある。

【0032】パーソナリティモジュール、再構成可能なビットプロセス、及び、直列試験シーケンサの相互接続については、図に開示して以下に説明する。

【0033】図1には、本発明及び汎用基板試験装置にそれを組み込んだ状態のブロック図が示されている。ここで、図1を参照すると、基板試験装置100は、供試装置102の回路を試験するために用いられる。供試2つ以上の装置を同時に試験することが可能である。基板試験装置100には、汎用コンピュータ機能と、基板試験装置のユーザに対するユーザインタフェースを提供するシステム制御器108が含まれている。パターン記憶式シーケンサ及びピンカードモジュール104は、刺激バス12及び応答バス110を介して、供試装置に接続されている。パターン記憶式シーケンサモジュール104は、供試装置の試験に必要な回路内試験機能を提供する。パターン記憶式シーケンサ104は、バス114を介してシステム制御器に接続される。システム制御器108及びパターン記憶式シーケンサ104は、従来の設計であり、いくつかのメーカーから容易に入手可能である。こうした装置の1つには、カリフォルニア州パロアルト所在のヒューレットパッカード社製のモデル3070がある。

【0034】本発明の直列試験カード106は、供試装置102の複雑な試験を行うように設計されている。直

8

列試験カードは、刺激バス112を介して供試装置を刺激するための入力信号を送り、その一方で、応答バス110を介してDUTからの応答信号を受信する。直列試験カード106は、ホストバス116を介してシステム制御器、従ってユーザとの通信を行う。基板試験装置100は、互いに、また、トリガバス118を介してパターン記憶式シーケンサ104と通信する、複数の直列試験カード106を備えることができる。パターン記憶式シーケンサ104及び制御器108は、従来の設計であるが、本発明の直列試験カード106によって可能な試験を補足するものである。

【0035】図2には、図1の直列試験カード106に関するブロック図が示されている。ここで、図2を参照すると、直列試験カード106には、4つのSTSモジュール202に接続された4つのパーソナリティモジュール204が含まれている。パーソナリティモジュール204とSTSモジュール202との接続は、4つのSTS相互接続バス206及びプログラミングバス208を介して行われる。STSモジュール202は、トリガバス118を介して互いに接続され、ホストバス116を介してシステム制御器(図1)に接続されている。パーソナリティモジュール204と供試装置の間における通信は、各パーソナリティモジュール204が接続された刺激バス112、及び、やはり、4つのパーソナリティモジュール204の全てに接続された応答バス110を介して行われる。

【0036】STSモジュール及びパーソナリティモジュールの独特な直列相互接続アーキテクチャによって、直列データ送信及び受信経路構成のソフトウェア制御が可能になる。4つのSTS相互接続バス206のそれぞれが、実際には、3つの別個になったサブバス、すなわち、データ送信バス、データ受信バス、及び、制御バスから構成される。制御バスには、制御/状況バスに加え、パーソナリティモジュール204からの書込回線にも応じた信号が含まれている。図2に示すように、各パーソナリティモジュール204は、STS相互接続バス206のうち1つだけにしに接続されていない。一方、各STSモジュール202は、STS相互接続バス206の3つに接続されている。これによって、STSモジュールを供試装置に接続する場合、全て、プログラミングソフトウェアを介して行われたり、3つまでパーソナリティモジュール204を介して行ったりする。かなりのフレキシビリティが得られる。

【0037】プログラミングバス208は、パーソナリティモジュールにおいてプログラマブルゲートアレイにプログラミング情報を送るために用いられる。STSモジュール202のそれぞれは、プログラミング情報をパーソナリティモジュール204の1つに送る。

【0038】図3には、図2のSTSモジュール202のブロック図に示されている。次に、図3を参照する

と、STSモジュール202には、4つの再構成可能なビットプロセッサ402、404、406及び408と、2つの直列試験ゲート410及び412が含まれている。RBP及びSTSは、4つの相互接続バス414、416、417及び418と相互接続される。STSとRBPの相互接続は、各RBP毎に、アクティブダウンストリームポート0または1を選択し、各STS毎に、アクティブポート0、1、または2を選択することによって構成される。

【0039】STSモジュールと、STC内のパーソナリティモジュールの独特な直列相互接続アーキテクチャによって、データ送信及び受信直列経路構成のソフトウェア制御が可能になる。DUTからの直列データは、1つ以上のSTSへの途中でパーソナリティモジュール及び1つ以上のRBPを通過する。データがその移動時にたどる正確な経路は、直列相互接続のプログラミング、及び、パーソナリティモジュール及びRBPにプログラムされる特定の機能性によって決まる。

【0040】4つのSTS相互接続バス414、416、417、及び、418によって、4つのRBP402、404、406、及び、408をさまざまなやり方で相互接続することが可能になる。例えば、STSモジュール410は、ポート0からSTS相互接続バス414を介してRBPモジュール402の入力に出力を送り、RBPモジュール402の出力は、直接STSモジュール202のポート2とポート1といずれかに送ることができる。一方、STSモジュール410は、そのポート2からRBPモジュール406に出力を送ることもでき、RBPモジュール406は、そのポート1からSTS相互接続バス416を介してRBPモジュール408に出力を送ることが可能であり、RBPモジュール408は、さらに、ポート0からRBPモジュール402に出力を送り、ここから、STSモジュール202のポート2またはポート1を介して出力を送り、こうして、3つのRBPモジュールが順次利用されることになる。

【0041】プログラミングバス208は、下方のSTS412が、RBP402、404、406、408のそれぞれ、及び、STSモジュールに接続されたパーソナリティモジュールにプログラミング情報を送る。このバスは、直列データを伝送するものであり、各RBP及びPMに対して「隣接連鎖」されている。

【0042】図4には、図2のSTS相互接続バス206のダイヤグラムが示されている。次に、図4を参照すると、STS相互接続バスを構成する3つのサブバス、すなわち、それぞれ、複数の信号を伝送する、送信バス402、受信バス404、及び、制御/状況バスが示されている。送信バス402内の送信データ(TD)信号408には、送信バスを介して上流モジュールから下流モジュールへ送られる直列データビットが含まれている。STSまたはRBPを上流モジュールとすることも

できるし、一方、RBPまたはPMを下流モジュールとすることもできる。送信クロック(TC)信号410は、送信データ(TD)信号408のビットがいつ有効になるかを規定する連続クロックである。送信クロック可能化(TCE)信号412は、送信クロックがいつ有効になるかを規定する。従って、送信データの刻時がいつ可能になるかを識別するのに用いられる。送信フレーム同期(TFS)信号414は、各フレームの開始及び終了を規定する。受信バス404は、送信バス402の信号に対応する1組の信号を伝送する。受信データ(RD)信号416には、受信する直列ビットストリームが含まれている。受信クロック(RCL)信号418は、受信データ信号の各ビットがどこで生じるかを規定し、受信クロック可能化(RCE)信号420は、受信クロックがいつ有効になるかを規定する。従って、RD信号416の刻時がいつ可能になるかを識別する。受信フレーム同期(RFS)信号422は、RD信号416内における各フレームの最初のビットと最後のビットを規定する。

【0043】制御/状況バス406では、制御または状況データの直列ビットを含む制御/状況データ(C/S D)信号424の伝送が行われる。制御/状況クロック(C/SCL)信号428がC/S D信号424の各ビットを規定し、制御/状況フレーム同期(C/SFS)信号426がC/S D 424内における各フレームの始端を規定する。割込み信号430によって、下流モジュールによるSTSの割込みが可能になる。

【0044】STCは、DUTの試験に用いられるのが普通であり、2つ以上の非同期プロセスが同時に行われる。プロセス間の通信には、STC内のSTSプロセッサ間、及び、STCと制御器108の間における通信が必要になる。STCトリガバス118は、これらの通信要件を満たすものである。

【0045】STSはトリガバス118において他のSTSまたはシステム制御器108に関するトリガ信号をモニタし、あるいは、発生するようにプログラムすることができる。トリガバスは、64タイムスロットフレーム構造を有する直列データハイウェイとして実現される。各タイムスロット毎に、4ビットずつ含まれており、総合データ率は、毎秒5メガビットである。タイムスロット毎に4ビットずつ存在し、フレーム毎に64のタイムスロットが存在するので、1つのフレームに256のビットが含まれていることになる。フレームの256のビットの期間に低下パルスが独立した各フレームを区切る。

【0046】トリガバス118(図1)は、STSプロセッサ410と412の間(図3)、複数のSTSモジュール202の間、及び、STSモジュール202とシステム制御器108の間における通信に加え、試験装置100に複数の直列試験カード106が含まれている場合

11

には、複数の直列試験カード間における通信も可能にする。図5には、図1のトリガバス118に関するダイアグラムが示されている。次に、図5を参照すると、トリガバス118には、トリガバス118にある直列データを送るトリガデータ信号502が渡される。トリガクロック信号504は、トリガデータ信号502におけるデータの各ビットを規定し、トリガフレーム同期信号506は、トリガデータ信号502における情報の各フレームについて始端と終端を規定する。大域停止信号508が、試験装置全体のプロセスを停止させるために用いられる。各STSには、トリガバス118の各フレーム内におけるスロットが割り当てられる。各STSは、そのスロットを利用して、トリガ情報を他のSTSに送る。

【0047】図6には、図3のRBPモジュールに関するブロック図が示されている。次に、図6を参照すると、RBPモジュール402には、カリフォルニア州サンノゼのXilinx Inc. 製、Xilinx 3000ファミリの論理セルアレイ(LCA)といった、工業規格部品である論理セルアレイとも呼ばれるフィールドプログラマブルゲートアレイ602が含まれている。フィールドプログラマブルゲートアレイ602に関するプログラミング命令は、プログラミングバス208を介して送られる。内部ラダムアクセスメモリに記憶される。2つの同じSTS相互接続バスの下流インタフェース610及び612を利用して、このRBPと別のRBPまたはパーソナリティモジュールとのインタフェースが行われる。STS相互接続バスの上流インタフェース608は、もう1つのRBPの下流またはSTSに接続することができる。

【0048】図7には、図3の2つの同じSTSブロックに関するブロック図が示されている。ここで、図7を参照すると、STS404には、ランダムアクセスメモリ704に記憶されているユーザ命令の処理に用いられるプロセッサ702が含まれる。ホストバス116は、プロセッサ702を介してユーザにインタフェースするのに利用される。トリガバスインタフェース706は、プロセッサ702がトリガバス118を介して他のSTSと通信するのに利用される。並列/直列変換器708は、プロセッサアドレス/データバス710からの並列データを、STS相互接続バス414、416、417、及び、418に接続されたポート712、714、及び、716の1つに送信するため、直列データへ変換するのに用いられる。マルチプレクサ718は、プロセッサ702が、特定のポート712、714、または、716を選択して利用するために用いられる。直列/並列変換器720は、プロセッサ702が、ポート712、714、及び、716の1つからデータを受信するために用いられ、マルチプレクサ722は、特定のポートを選択するために用いられる。制御/状況

12

バスインタフェース724は、プロセッサ702が、ポート712、714、及び、716の1つの制御/状況回線を介して通信するために用いられる。特定のポートが、マルチプレクサ726によって選択される。割込みバス728は、トリガバスインタフェース706だけでなく、バス制御器708、720、及び、724、及び、全の下流モジュールからの割込みモジュールを受け取って、割込み制御器730に送る。割込み制御器730は、割込みに優先順位をつけて、プロセッサ割込み信号732をプロセッサ702に加える。プログラミングバス208は、プログラミング情報をRBP及びPMに送るために用いられる。

【0049】全ての直列ビットストリームが、4つの特性、すなわち、物理的仕様、記号同期法、フレーミング法、及び、ビットグループ識別文字を備えている。

【0050】物理的仕様は、ビットストリームの電気特性、及び、ビットストリームに関して規定された数または論理レベルまたは状態を表わしている。

【0051】直列ビットストリームは、本質的にビットで構成されているので、各ビットストリーム毎に、ビットストリーム内におけるビット境界の区切り方がある。ビットストリームを受信するモジュールは、記号同期化法を利用して、これらのビット境界を突き止める。ビットストリームの記号同期化法は、専用の信号ワイヤで各ビットの境界を規定する明示的なものと、記号同期化情報を直列データにコード化し、データと同じ物理的ワイヤを介して送信される暗黙的なもののいずれかである。

【0052】ビットが直列ビットストリーム内の記号にグループ化されるだけでなく、記号も、フレームにグループ化されるのが普通である。従って、記号同期化法以外に、直列ビットストリームは、フレーム同期化法も備えているのが普通である。記号同期化法の場合と同様、フレーミング同期化法は、専用信号ワイヤでフレームを規定する明示的なものと、フレーミング情報が直列データでコード化され、同じ物理的ワイヤを介して送信される暗黙的なもののいずれかである。暗黙的フレーミング法は、集群フレーミングパターンと分散フレーミングパターンのいずれかを用いることができる。集群フレーミングパターンは、連続したビットのグループで構成され、一方、分散パターンは、データビットが散在するビットグループから構成される。1つのフレームの終端と次のフレームの始端との時間間隔は、フレーム間ギャップと呼ばれる。このギャップは、長さがゼロまたは非ゼロになる可能性がある。ギャップの長さが、ゼロの場合、ギャップにフレーム間充満パターンが充填される。

【0053】直列ビットストリームは、2つ以上の独立したチャネルの情報を同時に伝えることができる。この特性は、スイッチングまたは多重化とも呼ばれる。多重化は、明示的または暗黙的なものとしてでき



13

る。明示的多重化の場合、各フレームには、各多重化チャネルからの一群の情報が含まれている。フレーム境界によって、ビットグループ化の基準が得られる。ISDN信号は、明示的に多重化されたビットストリームの一例である。

【0054】暗黙的多重化の場合、各フレームには、多重化チャネルのうちの1つからだけの情報グループが含まれている。情報に関連したチャネルは、ビットストリームにコード化される。暗黙的多重化の一例が、各フレームのアドレスフィールドによって、チャネルが規定される高レベルデータリンク制御(HDLC)プロトコルである。

【0055】本発明は、パーソナリティモジュールを利用して、各種直列プロトコルをSTS相互接続バス206(図2)に用いられる共通の直列プロトコルに変換する。パーソナリティモジュールは、供試される各直列プロトコルに適合する、いくつかの独特な設計が施されている。さらに、パーソナリティモジュールは、各種プロトコル毎に再構成を可能にするプログラマブルゲートアレイを備えていることができる。また、STS内において各種パーソナリティモジュールを変換し、さまざまな直列プロトコルを試験することも可能である。すなわち、特定の直列プロトコルに用いられるパーソナリティモジュールは、基板試験装置100に取り付け、試験が完了すれば、除去することができる。

【0056】図8には、図2のパーソナリティモジュールに関するブロック図が示されている。ここで図8を参照すると、パーソナリティモジュール204には、特定の直列プロトコルに合わせて独特の設計が施される回路要素が含まれている。パーソナリティモジュールには、プログラミングバス208を介してSTSからプログラムすることが可能な論理セアレイとも呼ばれる1つ以上のフィールドプログラマブルゲートアレイを含めることも可能である。パーソナリティモジュール204は、刺激バス112を用いて、供試装置に信号を送り、応答バス110を介してDUTから応答情報を受け取る。STS相互接続バスインタフェース802は、パーソナリティモジュール204がSTS相互接続バス206の1つに接続するのに用いられる(図2)。パーソナリティモジュール204には、状態クロック804及び電圧基準806も供給される。

【0057】図9には、ISDNの供試装置に対するテストとして構成された直列試験カードのブロック図が示されている。次に、図9を参照すると、ISDNの供試装置であるカード902は、パーソナリティモジュール904に接続される直列信号908を送り出す。パーソナリティモジュール904は、インタフェース918のISDN信号をバス920に適したSTS相互接続バスフォーマットに変換し、この信号を、それぞれ、チャネルスプリッタとして構成された、1対のRBP906

及び908に送る。RBPチャネルスプリッタ906は、ISDN信号から2つのBチャネルB1及びB2を抽出し、この信号をSTS相互接続バス922を介してSTS914に送る。RBPチャネルスプリッタ908は、ISDN信号からDチャネルを抽出し、このチャネルをSTS相互接続バス924を介してピットフィルタとして構成されたRBP912に送る。RBPピットフィルタ912は、Dチャネルからアドレス、制御、及び、データ情報を抽出し、この情報をSTS相互接続バス928を介してSTS916に送る。データは、STSからRBP906、908、及び、912と、PM904を介してDUT902にも送られる。

【0058】図10には、図9のISDN信号918に関する詳細図が示されている。次に、図10を参照すると、DUTインタフェース918(図9)に生じるISDN信号が、3状態の論理信号1002としてグラフで示されている。ISDN信号の構成の詳細については、1985年のCCITT Redbook第3巻、I.1.5におけるCCITT「Recommendations of the Series I, Integrated Services Digital Network (ISDN)」で知ることができる。ダイヤグラム1002に示す信号レベルを表わした二値モニックが、ダイヤグラムの上に一連の2進文字及び英字1004として示される。各二値モニック1004の上には、信号1002内の論理チャネルを識別する対応する英字1006がある。

【0059】図10の上方に示す基本フレーム率のISDN信号には、2つのBチャネルと、Dチャネルに加え、他の情報も含まれている。図11には、図9のSTS相互接続バス920における信号の詳細図が示されている。次に図11を参照すると、図示の信号は、パーソナリティモジュール904が、基本フレーム率のISDN信号に含まれている2つのBチャネルとDチャネルの情報を除く全ての無関係な情報を抽出した結果である。PM904は、また、ISDN信号918の1002(図10)に示す3レベル信号をグラフィック1102で示すようなSTS相互バス920の2進信号に変換した。上記グラフィック1102は、グラフィック信号1102の二値モニック表現1104である。二値モニック表現1104の上には、2進ビットのそれぞれを含む論理チャネルの記述がある。図11には示されていないが、PM904は、ISDN信号から暗黙的同期情報及びフレームング情報を抽出し、この情報をSTS相互接続バス920における明示的同期情報及びフレームング情報に変換した。

【0060】図11に示すSTS相互接続バス920における信号は、チャネルスプリッタ906に接続される。チャネルスプリッタ906は、STS相互接続バス920からBチャネル情報を抽出し、STS914に対するSTS相互接続バス922にはBチャネルデータし

15

か送らない。従って、STS914はプログラムに基づいてBチャネルデータを分析し、試験結果を判定する。

【0061】図11に示す信号を伝送するSTS相互接続バス920は、チャネルブリック908にも接続されている。チャネルブリック908は、図11に示す信号からDチャネル情報だけを抽出し、このDチャネル情報をSTS相互接続バス924を介してビットフィルタ912に送る。ビットフィルタ912には、Dチャネルからアドレス、制御、及び、データ情報を抽出し、この情報をSTS相互接続バス928を介して第2のSTS916に送る。第2のSTS916は、STS914が試験したBチャネル情報とは別個に、その情報の試験を行う。

【0062】図12には、図9のパーソナリティモジュールのブロック図が示されている。次に図12を参照すると、供試装置からのデータが、応答バス110を介してパーソナリティモジュール904に入り、受信データデコーダ1202によって受信される。図10に関連して上述のように、応答バス110のデータは、3レベルフォーマットである。受信データデコーダ1202は、  
20 応答バス110における3レベルフォーマットのデータを2進TTLフォーマットに変換し、このデータを内部バス1212を介して送信/受信レイヤ1LCA1206に送る。レイヤ1プロセッサ106は、1SDN信号からクロック及びフレーム同期情報を抽出し、1SDNデータと共に、この独立した情報を内部バス1214を介してRBP LCA1208に送る。RBP LCA1208は、STS相互接続バス920の受信セクションを介してチャネルブリック906及び908に送られるBチャネル及びDチャネルを除いて、1SDN信号から全てのチャネル情報を除去する。STS相互接続バス920の送信セクションを介して送信情報を受信すると、RBP LCAは、1SDNバスに関してこの情報を完成させるのに必要なチャネルを加え、内部バス1216を介して送信/受信レイヤ1LCA1206にこれを送る。レイヤ1プロセッサ1206は、バス1216から外部クロック情報を取り出し、1SDN信号に埋め込んで、完成した1SDN信号を内部バス1218を介して送信データエンコーダ1204に送る。送信データエンコーダ1204は、バス1218の内部2進TTLレベルから、制御バス112を介してDUTに送るのに適した3レベルフォーマットに変換する。

【0063】図13及び図14には、Bチャネルブリック906 (図9) とDチャネルブリック908 (図9) の両方に用いられるRBPチャネルブリックのブロック図が示されている。パーソナリティモジュール904 (図9) は、1SDN信号からB及びDチャネルデータを除く全てを除去しており、このデータが、バス924を介してRBPチャネルブリック906及びRBPチャネルブリック908に送られる。チャネルスブ

16

リットは、ストリームから望ましくないデータを除去し、所望のデータを直接STSに送る。従って、チャネルブリック906とチャネルブリック908に関する回路構成は、両方とも、同じである。STS916によって制御情報が送られ、BチャネルとDチャネルのいずれを除去すべきかが識別される。以下の説明は、一般に、チャネルブリックを解説し、制御情報の配線及び利用がどこで行われるかを識別するものである。図13には、チャネルブリック内における受信回路構成のブロック図が示され、図14には、チャネルブリック内における受信回路構成のブロック図が示されている。これらのブロック図で示された回路は、STSが、RBP内のプログラマブルゲートアレイにプログラミング情報を送り、ゲートアレイ内のゲートを接続して、回路をなすようにすることによって形成される。

【0064】ここで図13を参照すると、受信データ入力 (RD IN) 信号1314が、入力レジスタ1310に接続される。また、入力レジスタ1310には、受信クロック可能化入力 (REC IN) 信号1316及び受信クロック (RCL) 信号1318も接続される。RCL信号1318は、RCE IN信号1316が活動状態になる毎に、RD IN1314を入力レジスタに刻時する。入力レジスタ1310は、やはり、RCL信号1318を受信する出力レジスタ1312に接続される。出力レジスタ1312の出力は、受信データ出力 (RD OUT) 信号1322である。クロック可能化制御回路1308は、REC IN信号1316に加え、  
20 受信フレーム同期 (RFS) 信号1324も受信する。

【0065】データストリームからBチャネルとDチャネルのいずれを除去すべきかの識別を行う制御情報が、アドレスカウンタ1304によるアドレス指定を受けるRAM1302に記憶される。この制御情報は、クロック可能化カウンタ1306に接続され、クロック可能化制御回路1308にゲート制御を加えて、BチャネルまたはDチャネルを除去する。Dチャネルが除去されている場合、クロック可能化カウンタ1306は、フレームの最初の16ビットをカウントし、フレームの最初の16ビットがBチャネルデータをSTS914に送っている間、クロック可能化制御回路1308によって、受信クロック可能化出力 (RCE OUT) 信号1320を活動させる。フレームの最後の2ビットの間に、クロック可能化制御回路1308は、RCE出力信号1320を非活動化し、これによって、フレームのDチャネルビットがフレームから除去されることになる。

【0066】Bチャネルが除去されている場合、RAM1302の制御情報は、クロック可能化カウンタ及びクロック可能化制御回路によって、フレームの2つのDチャネルビット期間にRCE OUT信号1320を活動化し、フレームの16のBチャネルビット期間にRCE OUT信号1320を非活動化するように設定されて

いる。

【0067】図14には、チャネルブリックの送信側が示されている。次に、図14を参照すると、アドレスカウンタ1304及びRAM1302は、図13に関連して既述の受信側と同じである。また、RAM1302における制御情報は、BチャネルとDチャネルのどちらを除去すべきを示すことになる。送信データ入力(TD IN)信号1338は、入力レジスタ1332に接続され、該レジスタの出力は、出力レジスタ1336に接続される。出力レジスタ1336の出力は、送信データ出力(TD OUT)信号である。送信クロック可能化出力(TCEOUT)信号1340が活動状態になる毎に、送信クロック(TCL)信号1342によって、データが入力レジスタ1332に刻時される。クロック可能化制御回路及びクロック可能化カウンタは、RAM1302における制御情報の設定に基づいて、フレームのBチャネルビットとDチャネルビットのいずれかの間に、TCE OUT信号1340を活動化させる。フレーム同期制御回路1334は、送信フレーム同期入力(TFS IN)信号1350を受信するが、第1のビットが送信されることになるまで、この信号を遅延させ、その時点で、送信フレーム同期出力(TFS OUT)信号1344を活動化する。

【0068】図15には、図9のビットフィルタ回路912に関するブロック図である。このフィルタは、高レベルデータリンク制御プロトコル(HDLC)のサブセットを用いる。ISDN信号のDチャネルに対して作用するように設計されている。HDLCプロトコルの場合、フレームを区切るフラグバイトは、6つの1ビットを備えている。HDLCプロトコルは、フラグ文字の期間を除いて、一連の6つの1ビットが生じさせない。通常、データストリームに6つの1ビットが生じる場合には、いつでも、HDLCデータの送り手は5番目の1ビットの後に0ビットを挿入し、受け手は、その0ビットを除く。また、HDLCプロトコルは、各フレームの終了時にフレームチェックシーケンス情報も備えている。Dチャネルプロトコルのより完全な説明については、1990年にマグローヒル社(McGraw Hill Inc.)から刊行の「グリー・シー・ケスラー(Gary C. Kessler)による「ISDN, Concepts, Facilities, and Service」第88頁において知ることができる。図15のブロック図で表わした回路は、再構成可能なビットプロセッサにおけるプログラマブルゲート、アレイの接続をプログラムすることによって形成される。これらのプログラミングビットは、試験の開始前に、STSモジュールからダウンロードされる。

【0069】次に、図15を参照すると、制御状況インタフェース1402は、マイクロプロセッサ1422に制御を加えて、再構成可能なビットプロセッサ912のポート0とポート1のいずれかを選択する。受信信号

は、バス1424を介して受信され、各フレームの始端と終端からフラグバイトを除去するフラグストリップ1404に接続される。フラグストリップがフラグバイトを除去した後、信号は、データ内における5番目のビットに接続する0を取り除くゼロビットストリップ1406に送られる。この5番目のビットは、データに関連したフラグバイトが混入するのを回避するため、プロトコルに挿入されたものであり、従って、データ受信時には、取り除く必要がある。全ての0ビットを除去した後、信号は、フレームチェック総括ブロック1408に送られ、フレームの終端においてフレームシーケンス情報がチェックされ、この情報が除去される。次に、信号はマルチプレクサ1418に送られる。マルチプレクサ1418は、STSによって制御状況インタフェース1402を介して制御され、フラグストリップ1404、ゼロビットストリップ1406、及び、フレームチェックシーケンス総括ブロック1408によって処理された処理データの選択に用いられる。ユーザがHDLC処理のバイパスを所望の場合には、マルチプレクサを利用して、バス1424から生データを選択することも可能である。選択後、受信データは、バス1426を介して上流へ送られる。

【0070】送信データは、バス1428を介して上流モジュールから受信され、フレームチェックシーケンス情報を各フレームに加えるフレームチェックアンプ1416に接続される。フレームチェックシーケンス情報が加えられた後、その信号は、ゼロビット挿入装置1412に送られ、誤フラグバイトを回避するため、5つの1ビットからなる各シーケンスの後に0ビットが挿入される。ゼロビットに挿入後、その信号は、フラグアンプ1410に送られ、各フレームの始端と終端にフラグが付加される。次に、信号は、マルチプレクサ1420に通され、生データ1428またはHDLC処理データの間で選択を受けて、その結果が、マルチプレクサ1422に送られ、次に、どちらのポートが制御状況インタフェース1402によって選択されたかに従って、ポート0またはポート1を介してデータが送り出されることになる。

【0071】図16～図18には、STSに含まれる、DUT902内のISDN回路に対する試験を実施するためのソフトウェアの流れ図が示されている。図16には、試験に合わせたSTS、RBP、及びパーソナリティモジュールのセットアップに必要なソフトウェアが示されている。図17には、ISDN信号のD論理チャネルを処理するため、STS916で実施される処理が示され、図18には、ISDN信号のB論理チャネルについてSTS914で実施される処理が示されている。

【0072】図16、図17、及び、図18を参照すると、試験の開始時、これらの図のソフトウェアは、システム制御器108(図1)によって開始される。このプ

19

ロセスに入ると、ブロック1502において、パーソナリティモジュール904に含まれる2つのプログラマブルゲートアレイ(LCA)回路にプログラミング情報をダウンロードして、パーソナリティモジュール904がセットアップされる。ブロック1504では、命令を送って、パーソナリティモジュール904の刺激バス及び応答バス918を介してDUT902に接続させる。次に、ブロック1506では、プログラミングコードにRBP906及び908に送り、それらをチャネルブリックとしてセットアップする。次に、ブロック1508では、プログラミングコードをRBP912に送り、それがD論理チャネルのためのビットフィルタをなすようにする。ブロック1510では、トリガバス118を介してトリガ信号を送り、図17のDチャネルプロセス及び図18のBチャネルプロセスを開始させる。これらのプロセスは、図16の残りのコードを並列に実行される。次に、ブロック1512では、そのプロセスが完了するのを待ち、ブロック1514で、これらのプロセスの結果が得られる。ブロック1516では、試験に合格したか否かの判定が行われ、試験に合格しなかった場合には、ブロック1516からのブロック1518に移行し、試験装置100によって、通常は、インクスタンプによる、その基板が試験に落ちたことを表す物理的マーキングが、基板に対して施される。次に、ブロック1522では、テスト装置100によって、DUTが試験環境内における故障領域への経路指示を施される。試験に合格すると、ブロック1516からブロック1520に移行し、その呼出しプログラムに戻る前に、基板に対し試験環境内における合格した領域への案内をする。

【0073】ブロック1510において、Dチャネルプロセスが開始すると、制御は、ブロック1530からこのプロセスに入り(図16)、パーソナリティモジュール904、チャネルブリック906及び908、及び、RBPビットフィルタ912の処理を活動化する。次に、ブロック1532において、プロセスからの試験が開始した旨の肯定応答を待ち、次に、ブロック1534において、ビットフィルタ912、チャネルブリック908、及び、パーソナリティモジュール904を通してISDN信号のD論理チャネルを介して制御信号を送ることにより、供試装置への接続を確立する。ブロック1536では、次に、Bチャネルプロセスをトリガし、ISDNのB論理チャネルを介してダイヤルトーンを送る。次に、ブロック1538では、Dチャネルを介して情報を送り、DUTに信号を加えて、Bチャネルデータを受信するように促す。ブロック1540では、Bチャネルプロセスをトリガし、B論理チャネルを介してボイストーンを送り、ブロック1542では、D論理チャネルを介してDUTに情報を送り、信号を加えて、Bチャネルからボイストーンを受信するように促す。次

20

に、ブロック1544では、DUTに切断するように信号で伝え、ブロック1546では、エラーが検出されたか否かを判定する。ブロック1534、1538、1542、または、1544における上述のDUTとの通信において、エラーが検出されると試験が終了し、直接ブロック1546に移行する。エラーが検出されると、ブロック1546からブロック1548に移行し、エラー状態が図16のプロセスに戻される。エラーが検出されなければ、ブロック1546においてその呼出しプログラムに戻る。

10

【0074】図18には、Bチャネルプロセスが示されているが、このプロセスに入ると、ブロック1560において、Dチャネルブロック1536からのトリガを待つ。トリガを受けると、ブロック1560からブロック1562に移行し、ISDN信号のB論理チャネルを介してダイヤルトーンを送る。次に、ブロック1564において、Dチャネルプロセスのブロック1540からの次のトリガ信号を待つ。第2のトリガを待つ間、制御はブロック1562に戻り、B論理チャネルを介したダイヤルトーンの送信を維持する。第2のトリガを受信すると、ブロック1564からブロック1566に移行し、ISDN信号のB論理チャネルを介してボイストーンを送る。このブロックでは、試験全体が終了するまで処理を継続する。

20

【0075】

【発明の効果】以上のように、本発明によれば、複雑な組合わせの複雑な回路試験するための試験システムが提供される。

30

【0076】さらに、本発明によれば、こうしたシステムに対して、試験毎に使用される可能性の高いハードウェア及びソフトウェア要素を設けることが可能である。

【0077】さらに、本発明によれば、共用される直列通信プロトコルに関する組込み試験能力を備えたシステムが提供される。

【0078】さらに、本発明によれば、複数のプロセスによって制御可能な複数のチャネルを備えた、多重処理環境試験が可能なシステムが提供される。

【0079】さらに、本発明によれば、複数の同一チャネルの試験に簡単に利用できる試験能力を提供することが可能である。

40

【0080】さらに、本発明によれば、高ビット伝送速度で直列データの処理を行える複数の再構成可能なプログラマブルモジュールを提供することが可能である。

【0081】以上で本発明の現在のところ望ましい実施例についての説明を終えたが、今では明らかなように、本発明の目的は、完全に達成されたことになり、また、当該技術の熟練者には明らかなように、本発明の構成及び回路要素における多くの変更、及び、本発明の多様な実施例及び用途が、それ自体、本発明の精神及び範囲から逸脱せずに、可能であることが示唆される。本書

21

における開示及び説明は、例示を目的としたものであり、本発明を制限するという意図はなく、特許請求の範囲の記載によって好適に制限される。

【図面の簡単な説明】

【図1】 本発明のブロック図と、その汎用基板試験装置への実装の様子を示している。

【図2】 図1の直列試験カードのブロック図である。

【図3】 図2のSTSモジュールのブロック図である。

【図4】 図2のSTS相互接続パスのブロック図である。

【図5】 図3のトリガパスのブロック図である。

【図6】 図3のRBPモジュールのブロック図である。

【図7】 図3のSTSブロックのブロック図である。

【図8】 図2のパersonalityモジュールのブロック図である。

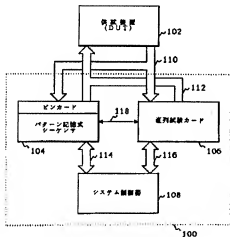
【図9】 ISDN供試装置用テストとして構成された直列試験カードのブロック図である。

【図10】 図9のISDN信号の詳細図である。

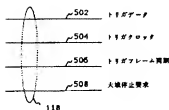
【図11】 図9のパersonalityモジュールからのSTS相互接続パス信号の詳細図である。

【図12】 図9のパersonalityモジュールのブロック図である。

【図1】



【図5】



22

【図13】 図9のチャネル分割モジュールのブロック図である。

【図14】 図9のチャネル分割モジュールのブロック図である。

【図15】 図9のビットフィルタのブロック図である。

【図16】 ISDN回路の試験を実行するためのSTS内に組み込まれるソフトウェアの流れ図である。

【図17】 ISDN回路の試験を実行するためのSTS内に組み込まれるソフトウェアの流れ図である。

【図18】 ISDN回路の試験を実行するためのSTS内に組み込まれるソフトウェアの流れ図である。

【符号の説明】

100 基板試験装置

102 供試装置 (DMUT)

104 パターン記憶式シーケンサ

106 直列試験カード

108 システム制御器

110 応答バス

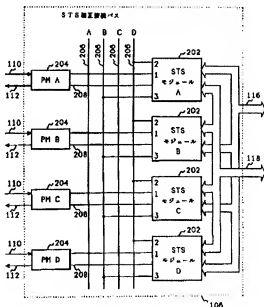
112 刺激バス

114 バス

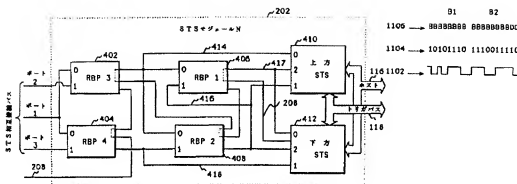
116 応答バス

118 トリガパス

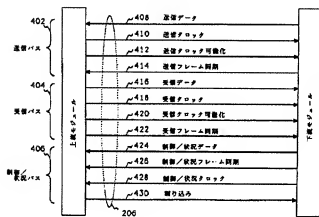
【図2】



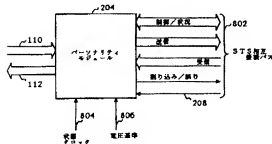
【図3】



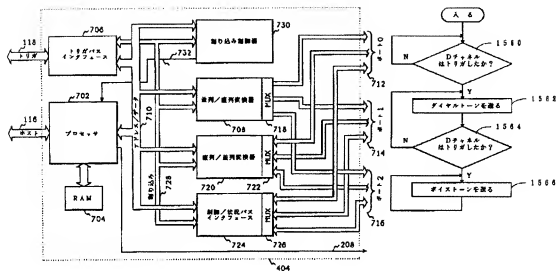
【图4】



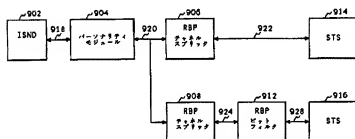
【圖 6】



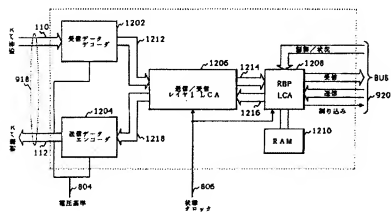
【圖 18】



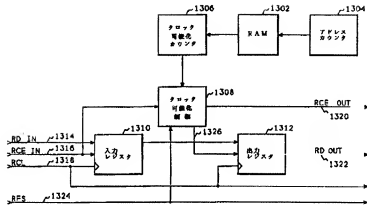
【圖 9】



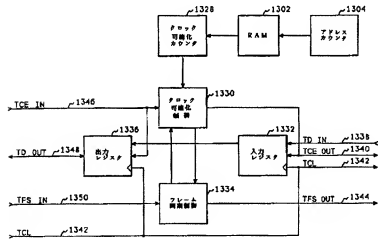
【圖 1 2】



【図13】

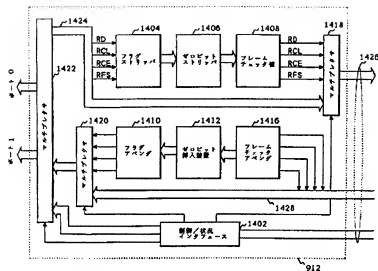


【図14】

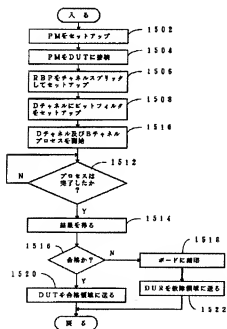




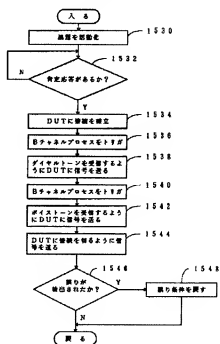
【図15】



【図16】



【図17】



フロントページの続き

- (72)発明者 ジョン・イー・シーファーズ  
アメリカ合衆国コロラド州80524フオー  
ト・コリンズ, イースト・ビトキン・スト  
リート・1125